

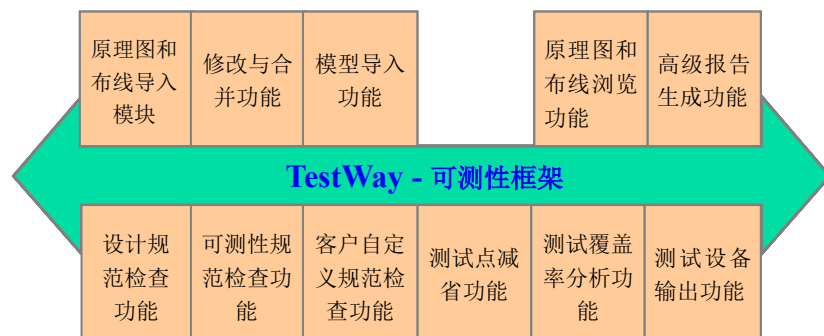
如今，电子产品研制过程中，对产品的研制周期要求越来越短，产品质量要求越来越高，如何在缩短电子产品的研制周期的同时，能有效的保证电子产品的研制质量？将PCB设计与DfT（可测性）设计相结合的方法，可以在精确估算测试覆盖率的基础上，制定出高效的测试策略。该方法可以在很大程度上解决电子产品研制周期短且质量要求高的难题。

设计人员通过使用TestWay的DfT分析功能，可在原理图设计阶段进行有效设计，确保采用了恰当的方法且符合生产方的测试要求。这一点在采用边界扫描测试方法时显得尤为重要，因而在设计阶段必须确保DfT设计的准确性。

同样，测试工程师可使用TestWay的测试覆盖率分析功能估算不同测试方法得出的覆盖率，并对测试覆盖率及可测性进行改进。通过提高测试效率，可降低测试成本，并提高产品质量和降低成本。

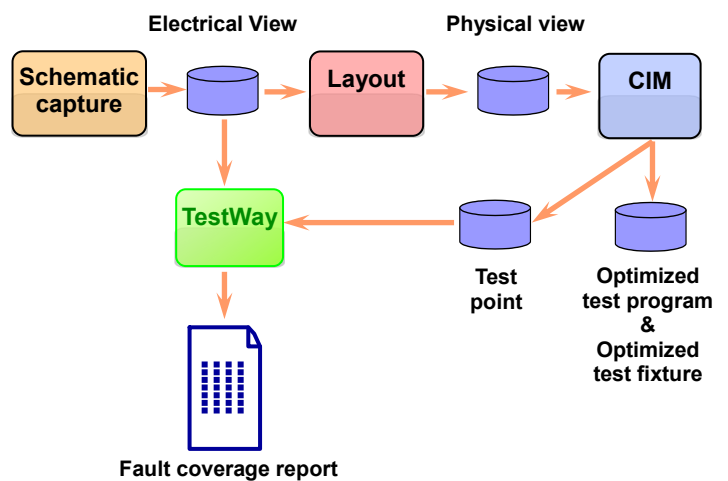
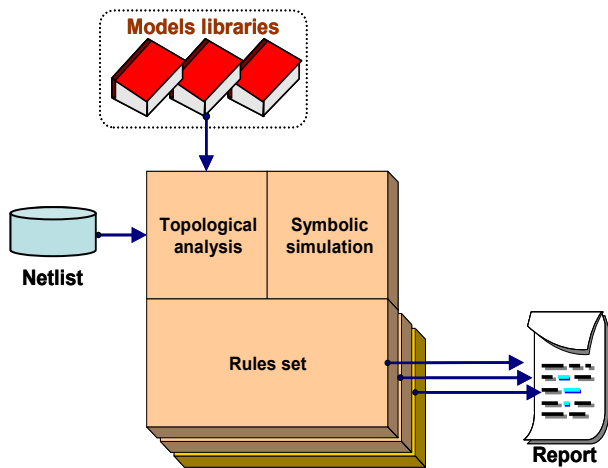
TestWay软件的开放式结构是建立在具有各种插入模块接口的可测性框架基础上，并提供输入和输出条件，如下所示。

TestWay软件读取的电路板各级电路网表（图表和版式设计）和组件型号库（示意图-->设计图-->通讯接口模块）。然后完成基本的拓布局技术分析和符号模拟，并用拓布局技术和可用数据检测每项规范。



产品主要优势:

- 设计规范检查 (DRC)**
 确保按照设计规则要求进行PCB布线设计。及时发现设计错误，预防由此带来的高昂代价。
- DfT规范检测**
 检测是否遵守测试设计要求，根据PCB生产的测试流程，满足最大化的测试覆盖率。
- 测试点减省**
 识别不需要测试的网络；只设置必要的测试点。通过减化测试工装和减少测试滩针数量的方法来明显减少测试设备费用。
- 测试覆盖评估**
 根据测试方法评估覆盖率，达到最大化测试及检测覆盖。基于以往DPMO（缺陷机会数）数据，进行‘what-if’分析，选择最优测试方法以达到最大化覆盖率。消除冗余测试步骤。
- 测试覆盖率测量方法**
 根据理论数据确与实际测试覆盖率进行比较，指明需要改进的区域。
- 功能测试覆盖率**
 将功能测试视为整体测试的一部分，准确生成覆盖率报告，帮助生产和维修部门诊断故障电路板。
- 可视化电路板**
 以原理图、版图及网表导图的方式可视化测试覆盖率和质量管理。其数字化的特点通过PDF生成交互式原理图浏览功能。
- 高级报告**
 可生成各种综合报告，内容包括成机率、组件的测试覆盖率、评估定位时间等。
- 成本建模**
 估算测试执行时间、总维修时间，计算硬件成本如：测试工装、绕线、探针、感应片数量等。



TestWay采用自然语言生成可测性报告，便于设计和测试工程阅读和使用，以验证是否符合DfT标准。

规范检查

TestWay的电气规范分为3类：设计规范、可测性规范、边界扫描规范。这些规范依据国际通用的电子行业正式标准制定。这些规则可与用来检查与补充商业CIM系统的DfM和测试点选择。TestWay的客户自定义规范可满足客户的特殊要求。

TestWay的电气规范检查根据公司DfT特殊要求实时变更，易于定制化、实时更新到可测性目录上，如：

- 设计规范，保证线路设计符合通用的技术强制性规定，比如说漏极开路、总线保持、特殊终端设计要求、噪音抑制等。
- 在线测试规范，保证初始化和分项测试正常进行，即芯片选择、输出使能、测试点等。
- 边界扫描规范，检查扫描链的完整性、是否符合边界扫描、设置旁路电阻、闪存编程优化、识别边界扫描集群和边界扫描总线终端设计等。
- 客户自定义规范，满足客户内部可测性的自定义需求。用户可实时定义并结合新的自定义规则。

测试点减省

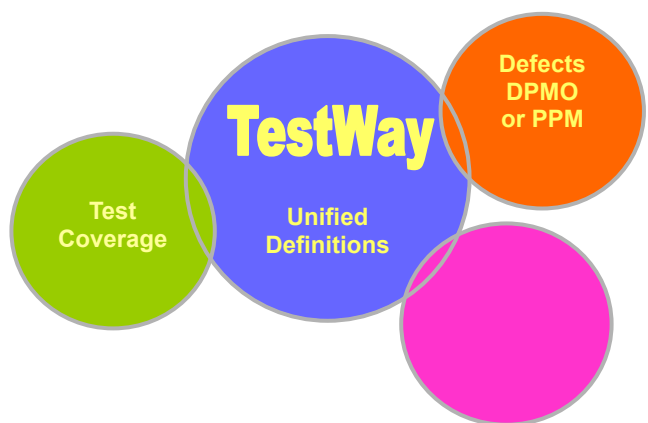
随着PCB版装配器件的日益密度，导致网络数量居高不下，很难实现每个网络都布有物理测试点。与传统测试方法不同（如ICT, FPT和BST），TestWay优化了需强制执行的测试点数量。

测试点的优化结果可集成到商用CIM版图设计工具，确定需要物理测试点，反向标注到原理图。当完成版图设计，TestWay可确认必须的测试点数量。

覆盖率估算

为估测由补充测试和检验系统混合方法提供的全局测试覆盖率，TestWay模拟各种测试方案及测试线路结合方法。这可权衡各种解决方案的利弊，可减少测试点数量、误测和不良误判数量，消除重复测试，最终降低整体测试时间。

TestWay根据MPS（材料、位置、焊接材料）标准设置缺陷率，提供每个元器件类型的DPMO（每百万机会中的缺陷数）数据，提示生产过程中可能出现的缺陷数量。



在原理图或布线阶段，TestWay都能够根据测试方法，采用各种测试仪（AOI, AXI, FPT, ICT, BST和FT）提供的模型来估算覆盖率。

这些模型易于模拟各种测试方法，因此客户可选择最优测试方案，以取得最大覆盖率。

结合物理测试点与边界扫描技术提供的虚拟测试点，在此基础上进行测试覆盖率估算。其优点是在原理图阶段通过控制及观测节点进行的任何改进均可在电路版图完成前执行。

在设计环节就尽早使用TestWay，可以获得很多潜在的好处，例如：

- 在设计人员还能够进行调整更改时，通过识别可测试性问题，得到更高的测试覆盖率。
- 通过识别优化测试点位置以及针对设计图纸提出修改建议，可提高测试效率。
- 由于测试点在电路板布线之前就分配好了，可减少布线期间的重复工作。
- 由于测试点较少，因而降低了固定成本。
- 由于大多数的测试设计问题，在原理图设计阶段就得到识别并解决，因此加快进入市场的时间。

覆盖率测试方法

TestWay能够通过读取实际测试程序或覆盖率报告的方式，根据理论上的覆盖率与实际覆盖率进行对比分析。通过专用测试程序进行细部分析，确定测量类型和可查明的缺陷。可用的覆盖率导入设备包括i3070, GR228x, Z1800, SPECTRUM, HP5DX, BST 测试系统等。

功能测试覆盖率

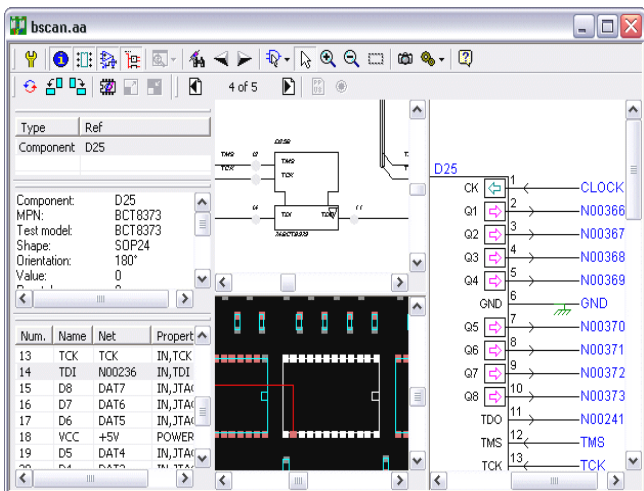
TestWay使用以下方法计算功能测试覆盖率：

1. **宣告：**使用电路设原理图和/或布线浏览器作为测试覆盖率输入装置。
2. **演绎：**在客户自定义规范的基础上，从正式的测试说明进行数据演绎。
3. **继承：**在一个层次结构设计流程中重新使用测试方法，该流程中的某个功能性模块则与测试覆盖率计算结果相联系。

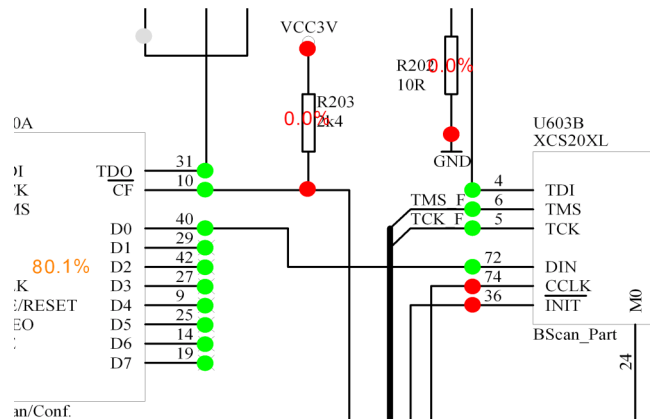
由TestWay软件生成的功能性测试覆盖率报告可在数据生成中重复使用，以方便对故障电路板进行诊断。

电路板可视化

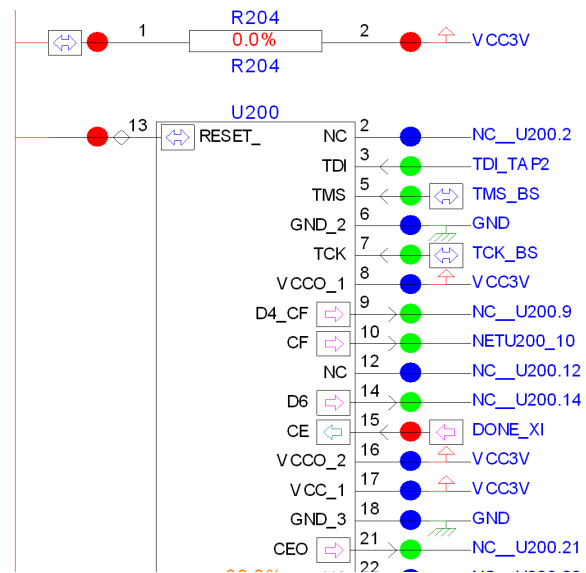
作为强大而灵活的可视化浏览器，QuadView允许用户在TestWay报告中选择多个项目并浏览电路示意图或版式图形的相应区域。它还有一个独特的PDF数字化能力，允许用户转换成可搜索的PDF文件，以便和TestWay进行相互参照。



QuadView在电路设计原理图和布线浏览器中都提供了测试覆盖率和客户属性的可视化手段，能够清晰识别芯片上的插件和设备覆盖率，例如已覆盖的管脚标绿点，而未覆盖的管脚标红点。



TestWay软件也允许用户直接用一张网表重新构建“虚拟电路设计原理图”，并提供一个包含先进的图形符号的导航功能，以识别电路板内部互联情况。



可视化特点如下所列：

- 用标准格式导入电路板原理图，如HPGL, PDF 格式等。
- 用标准格式创立布线视图，如：CAMCAD, FATF, ODB++, GENCAD, 或直接用原生CAD布线数据。不需要进行预处理。
- 通过分级设计和多图设计，搜索相关组件、管脚和网络。
- 可以在电路板原理图、布线和TestWay报告之间进行交叉切换
- 获取电路板原理图或布线图，并剪切和粘贴到设计/可测试性综述报告中。
- 在虚拟原理图中展示管脚的方向和边界扫描功能。
- 利用测试的辅助功能，即互连边界扫描器件，边界扫描集群，ICT, FPT等，通过颜色区分元器件、管脚和网络功能，实现测试覆盖状况的可视化。

测试设备输出功能

TestWay能直接用原理图数据生成测试数据文件供边界扫描测试系统使用，包括ASSET, ACCULOGIC, CORELIS, JTAG, GOPEL, VICTORY等。由于在布线设计之前，测试设计就可以进行，这样就显然利于进行边界扫描开发，确保了早期样机的构建。通过把TestWay测试策略数据文件输出到目标测试开发系统，边界扫描开发时间减少了至少30%。

高级报告

为了分析任何类型的测试方案，TestWay将所有的有效信息输出到标准数据库中，包括单电路板或多电路板配置。多电路板分析在由子母卡组成系统配置中尤其有用，或者所用于的系统配置要求提供强制性测试覆盖率估算，其中包括线路板间互相联通状况。

TestWay数据能以各种格式输出，如：

- 微软 EXCEL 表格
- XML
- HTML
- Crystal 报告
- 普通格式的ASCII 文件
- 完全定制的图形文件

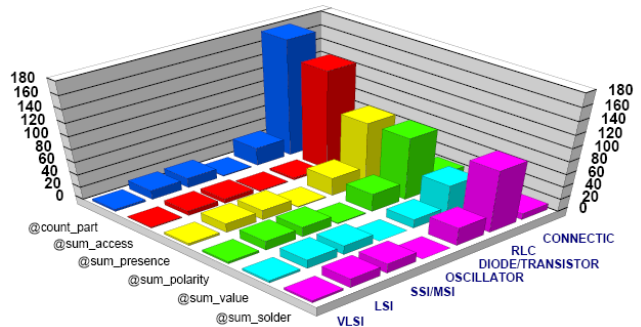
通过分析以往的DPMO缺陷数据，采用报告来表示估算的生产利用率。测试覆盖率则是依据缺陷数据计算的，这些缺陷数据将由一个事先选择的测试策略来检测，包括监测和测试系统，如边界扫描，线路内测试，飞行检测等。

利用TestWay报告来识别提高测试覆盖率的区域：

- 开发更多的测试方法，如：边界扫描集群测试，无矢量测试，强化测试矢量等
- 做出设计改进建议，如：增加实际测试路径，提高边界扫描能力等。
- 选择更多的补充型测试策略。

能够调整原来的测试方案，以确定尽可能最佳的生产收益，确保为顾客推出合格产品。根据缺陷类别：

presence——安装, polarity——极性, value and solder——数值和焊接，提供以下图表，便于识别“每种缺陷类别的覆盖率以及组件复杂化的覆盖率”。

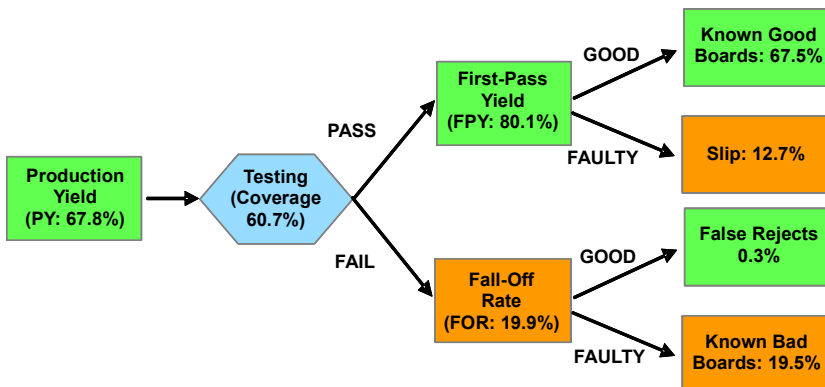


成本建模

成本模型可提供所有详细价格，如：

- 测试设备硬件价格：测试工装，绕线，探针，无矢量传感器等
- 工程成本：设备和测试程序开发
- 测试执行时间：对流程线平衡较重要

例如：成本建模能计算实际成本节省，可以通过采用补充的ICT 和BST测试策略来实现这一点，进而由于测试点的优化，其中可大大减少探查装置的数量。



Visit our web site at www.aster-technologies.com for the latest product news.

Copyright © 2013 ASTER Technologies. TestWay and QuadView are trademarks of ASTER Technologies.

Corporate Headquarters

ASTER Technologies
55 bis, rue de Rennes
F35510 Cesson-Sevigne
France
Phone: +33 (0)2 99 83 01 01
Fax: +33 (0)2 99 83 01 00
sales@aster-technologies.com

中国区代理

易力联测电子科技(上海)有限公司
中国·上海
长宁区延安西路726号
华敏·翰尊国际大厦19楼K座
电话: +86 (21) 52383300
手机: +86 13501952039
邮箱: aster@ellipsiz.com



ASTER Technologies